

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-015563

(43)Date of publication of application : 18.01.2002

(51)Int.Cl. G11C 11/22
G11C 14/00

(21)Application number : 2000-196470 (71)Applicant : SHARP CORP

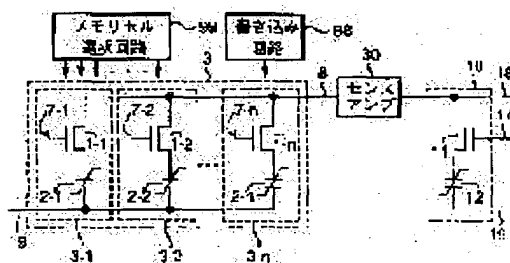
(22)Date of filing : 29.06.2000 (72)Inventor : KAMIYOSHI TATSUO
TAKADA SHIGEKAZU
MAEDA KENGO

(54) REFERENCE VOLTAGE GENERATING CIRCUIT OF FERROELECTRIC MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reference voltage generating circuit which generates an accurate reference potential, so that a sense amplifier correctly discriminates whether the data read from memory cells are '1' or '0'.

SOLUTION: In a reference voltage generating circuit 3, reference voltage generating reference memory cells (1-1 to 1-n) which are constituted of ferroelectric capacitors (2-1 to 2-n) and transistors (1-1 to 1-n) are connected to the same reference bit line 8. Among the cells (1-1 to 1-n), reference cells into which first logic data '1' are written and reference cells, into which second logic data '0' are written, are made selectable. Thus, an optimum reference voltage suitable for a storage memory cell 11 can be generated.



LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2002-15563

(P2002-15563A)

(43)公開日 平成14年1月18日(2002.1.18)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

G 1 1 C 11/22

G 1 1 C 11/22

5 B 0 2 4

14/00

11/34

3 5 2 A

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21)出願番号

特願2000-196470(P2000-196470)

(71)出題人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72) 発明者 神吉 達夫

大阪府大阪市阿倍野区長池町22番22号 シ
ヤーズ株式会社内

(72)発明者 高田 榮和

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

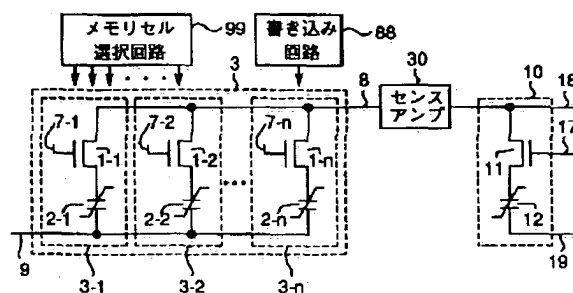
[最終頁に続く](#)

(54) 【発明の名称】 強誘電体メモリの基準電圧発生回路

(57) 【要約】

【課題】 メモリセルから読み出したデータが“1”または“0”のいずれであるのかを、センスアンプで正しく判定できるように、正確な基準電位を発生する基準電圧発生回路を提供する。

【解決手段】 この基準電圧発生回路3は、強誘電体キャパシタ(2-1~2-n)とトランジスタ(1-1~1-n)からなる基準電圧発生用リファレンスメモリセル(1-1~1-n)が、同一の基準ビット線8に接続されている。この複数個のリファレンスメモリセル(1-1~1-n)のうち、第1の論理データ“1”を書き込むリファレンスセルと第2の論理データ“0”を書き込むリファレンスセルとを選択できる。したがって、記憶用メモリセル11に応じた最適な基準電圧を発生できる。



【特許請求の範囲】

【請求項1】 強誘電体キャパシタを記憶用メモリセルとして使用する強誘電体メモリの基準電圧発生回路において、

1つの強誘電体キャパシタと1つのスイッチ手段からなる基準電圧発生用リファレンスメモリセルが、同一の基準ビット線に複数個接続され、

上記複数個のリファレンスメモリセルのうち、所定個数のリファレンスメモリセルに第1の論理データが書き込まれ、残りのリファレンスメモリセルに第1の論理データと異なる第2の論理データが書き込まれるようになっており、

上記リファレンスメモリセルの全てを選択することによって、上記基準ビット線に基準電圧を発生させることを特徴とする基準電圧発生回路。

【請求項2】 請求項1に記載の基準電圧発生回路において、

上記第1の論理データが書き込まれるリファレンスメモリセルの個数が変更されることで、上記基準ビット線に発生させる基準電圧を変更させることを特徴とする強誘電体メモリの基準電圧発生回路。

【請求項3】 請求項1に記載の基準電圧発生回路において、

上記複数のリファレンスメモリセルのうち、

上記第1の論理データが書き込まれるリファレンスメモリセルと上記第2の論理データが書き込まれるリファレンスセルとの組み合わせが変更されることによって、上記基準電圧を変更させることを特徴とする強誘電体メモリの基準電圧発生回路。

【請求項4】 強誘電体キャパシタを記憶用メモリセルとして使用する強誘電体メモリの基準電圧発生回路において、

1つの強誘電体キャパシタと1つのスイッチ手段からなる基準電圧発生用リファレンスメモリセルが、同一の基準ビット線に複数個接続され、

上記複数個のリファレンスメモリセルのうち、所定個数のリファレンスメモリセルを選択するリファレンスメモリセル選択回路と、

上記リファレンスメモリセル選択回路が選択した所定のリファレンスメモリセルに第1もしくは第2の論理データを印加する電圧発生回路とを備え、

上記リファレンスメモリセルの全てを選択することによって、上記基準ビット線に基準電圧を発生させることを特徴とする強誘電体メモリの基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、強誘電体メモリに使用して好適な基準電圧発生回路に関するものである。

【0002】

【従来の技術】一般に、記憶装置は、そのメモリセルに蓄積された電荷量をデータとして記憶し、そこから発生する電圧と、ある基準となる電圧とを比較することによって論理的にデータ“1”であるかデータ“0”であるかを判定する。このため、記憶装置は、基準となる電圧を発生する基準電圧発生回路を備える。

【0003】この基準電圧を発生させる回路としては様々な方式が提案されているが、強誘電体キャパシタをメモリセルに用いる強誘電体メモリに最適な方式として、本発明者が出願した特開平9-265785号公報(米国特許5737260)に開示したものがある。この方式の基準電圧発生回路は、メモリセルと同様に、強誘電体キャパシタを用い、逆方向に分極させた1対のキャパシタをショートさせることで中間位を発生させ、基準電位を作成するものである。

【0004】この方式の基準電圧発生回路を備えた従来の不揮発性半導体記憶回路を図2に示す。この記憶回路は、メモリセル10と、基準電圧発生回路20と、センスアンプ30を備える。メモリセル10は、 n チャネル電界効果トランジスタ(FET)11と強誘電体キャパシタ12とで構成される。このトランジスタ11のゲート電極はワード線17に接続されている。また、トランジスタ11のソース電極は強誘電体キャパシタ12の第1電極に接続され、トランジスタ11のドレイン電極はビット線18に接続されている。また、強誘電体キャパシタ12の第2電極はプレート線19に接続されている。

【0005】ここで、図3に、強誘電体キャパシタの特性を示す。図3に示すように、強誘電体キャパシタは、与えられた電界によって分極が発生し、キャパシタに誘起される電荷量 Q はヒステリシス特性を持つ。図3では、横軸で、強誘電体キャパシタの両電極間に印加する電圧 E を表している。この強誘電体キャパシタは、製造直後の状態(すなわち、まだ一度も電界が印加されていない状態(電圧 $E=0$))では、分極しておらず、A点で示すように、発生する電荷量も0である。次に、電界をかけると(電圧 $E>0$)、強誘電体キャパシタは分極し、電界に比例して電荷 Q が発生する。その後、電界を与え続けても分極が増加しなくなり、B点に達する。この分極量を飽和分極値と呼ぶ。次に、B点から印加電界を減らして、C点に達し、電圧 E が0になっても、分極量は0にならず、ある電荷 Q を保持する。この状態を残留分極と呼ぶ。そして、さらに、印加する電界を負にすると、分極が反転し、D点に達すると、B点の場合と同様に、それ以上に分極量が増加しない負の飽和分極値に達する。そして、このD点から、再度、電界を正方向に増加させ、E点に達し、電圧 $E=0$ に達しても、このキャパシタはある電荷 Q を保持する。この状態を、C点と同様に、残留分極と呼ぶ。強誘電体キャパシタは、上述のようなヒステリシス特性を持つので、メモリセルとして強誘電体キャパシタを用いた場合、その分極の反転と残留

分極を利用することで、情報を不揮発に保持できる。

【0006】したがって、図2の強誘電体キャパシタ12は、メモリセル10の記憶素子として機能し、強誘電体キャパシタ12の分極方向が、メモリセル10内に記憶される論理データを決定する。すなわち、強誘電体キャパシタ12の分極方向の違いによって、“1”データと“0”データに対応する2つの異なる電位がビット線18に出力される。

【0007】一方、基準電圧発生回路20は、nチャネル電界効果トランジスタ21、22および強誘電体キャパシタ25、26で構成されている。このトランジスタ21のゲート電極は基準ワード線27に接続され、トランジスタ21のソース電極は強誘電体キャパシタ25の第1電極に接続されている。また、トランジスタ21のドレイン電極は基準ビット線28に接続され、強誘電体キャパシタ25の第2電極は基準プレート線29に接続されている。

【0008】同様に、トランジスタ22のゲートは、基準ワード線27およびトランジスタ21のゲート電極に接続されている。また、トランジスタ22のソース電極は、強誘電体キャパシタ26の第1電極に接続されている。さらに、トランジスタ22のドレイン電極は、基準ビット線28に接続されている。また、強誘電体キャパシタ26の第2電極は、基準プレート線29に接続されている。この強誘電体キャパシタ25、26は、それぞれ逆方向に分極して、互いに異なる論理データを記憶している。

【0009】そして、基準ワード線27を選択(アクティブに)することによって、トランジスタ21とトランジスタ22とをオンさせ、この逆方向に分極した状態の2つの強誘電体キャパシタ25と26とを、ショートさせる。これにより、両強誘電体キャパシタ25、26の電極間に発生した電圧の中間の電圧を生成し、これを基準電圧とする。このように、上記基準電圧を発生させるには、強誘電体キャパシタを用いたメモリセルの読み出し動作と同様に、基準プレート線29と基準ワード線27にパルスを与える。

【0010】そして、センスアンプ30が、メモリセル10からビット線18に出力された電位と、基準電圧発生回路20から基準ビット線28に出力された基準電位とを、比較してその差を増進する。これにより、ビット線18に出力された電圧が論理的にデータ“1”またはデータ“0”のいずれであるのかを判別して、出力する。

【0011】

【発明が解決しようとしている課題】ところで、上記従来例では、基準電圧発生回路20が、2個のnチャネルトランジスタ21、22と、2個の強誘電体キャパシタ25、26とで構成されている。このため、強誘電体キャパシタ25、26の面積、容量絶縁膜の厚さ等の寸法上

のばらつきによって基準電位が大きく変動する。また、図3に示した分極特性(ヒステリシス)上のばらつき、あるいはビット線18および基準ビット線28の寄生容量のばらつきによって基準電位が大きく変動する。このような場合、センスアンプ30が、メモリセル10から発生する出力と基準電圧発生回路20から発生する電位とを比較する際に、情報が間違っただけと判別されるという問題があった。

【0012】そこで、この発明の目的は、メモリセルから読み出したデータが“1”または“0”のいずれであるのかを、センスアンプで正しく判定できるように、正確な基準電位を発生する基準電圧発生回路を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、この発明の基準電圧発生回路は、強誘電体キャパシタを記憶用メモリセルとして使用する強誘電体メモリセルの基準電圧発生回路において、1つの強誘電体キャパシタと1つのスイッチ手段からなる基準電圧発生用リファレンスメモリセルが、同一の基準ビット線に複数個接続され、上記複数個のリファレンスメモリセルのうち、所定個数のリファレンスメモリセルに第1の論理データが書き込まれ、残りのリファレンスメモリセルに第1の論理データと異なる第2の論理データが書き込まれるようになっており、上記リファレンスメモリセルの全てを選択することによって、上記基準ビット線に基準電圧を発生させることを特徴としている。

【0014】この発明では、上記複数個のリファレンスメモリセルのうち、上記第1の論理データを書き込むリファレンスセルと第2の論理データを書き込むリファレンスセルとを選択できる。したがって、記憶用メモリセルにに応じた最適な基準電圧を発生できる。

【0015】また、一実施形態の基準電圧発生回路は、上記第1の論理データが書き込まれるリファレンスメモリセルの個数が変更されることで、上記基準ビット線に発生させる基準電圧を変更させる。

【0016】この実施形態では、上記第1の論理データが書き込まれるリファレンスメモリセルの個数を変更することができる。したがって、記憶用メモリセルにに応じた最適な基準電圧を発生できる。また、基準電圧を変更することで、各種メモリセルテストや多値記憶メモリセルに対応した基準電圧発生回路とすることができる。

【0017】また、他の実施形態の基準電圧発生回路は、上記複数個のリファレンスメモリセルのうち、上記第1の論理データが書き込まれるリファレンスメモリセルと上記第2の論理データが書き込まれるリファレンスセルとの組み合わせが変更されることによって、上記基準電圧を変更させる。

【0018】この実施形態では、第1の論理データを書

き込むリファレンスメモリセルと第2の論理データを書き込むリファレンスセルとの組み合わせを変更することによって、上記基準電圧を変更でき、基準電圧の最適化を図れる。

【0019】また、一実施形態の基準電圧発生回路は、強誘電体キャパシタを記憶用メモリセルとして使用する強誘電体メモリの基準電圧発生回路において、1つの強誘電体キャパシタと1つのスイッチ手段からなる基準電圧発生用リファレンスメモリセルが、同一の基準ビット線に複数個接続され、上記複数個のリファレンスメモリセルのうち、所定個数のリファレンスメモリセルを選択するリファレンスメモリセル選択回路と、上記リファレンスメモリセル選択回路が選択した所定のリファレンスメモリセルに第1もしくは第2の論理データを印加する電圧発生回路とを備え、上記リファレンスメモリセルの全てを選択することによって、上記基準ビット線に基準電圧を発生させる。

【0020】この実施形態によれば、上記リファレンスメモリセル選択回路と電圧発生回路とによって、上記複数個のリファレンスメモリセルのうち、上記第1の論理データを書き込むリファレンスセルと第2の論理データを書き込むリファレンスセルとを選択できる。したがって、記憶用メモリセルに応じた最適な基準電圧を発生できる。

【0021】

【発明の実施の形態】以下、この発明を図示の実施の形態に基き、詳細に説明する。

【0022】図1に、この発明の実施形態の基準電圧発生回路3を備えた不揮発性半導体記憶回路の構成を示す。この半導体記憶回路は、記憶用メモリセル10と基準電圧発生回路3とセンスアンプ30とを備える。この記憶用メモリセル10とセンスアンプ30の構成は、図2に示した従来の回路と同一であるので、同一の符号を付している。

【0023】記憶用メモリセル10は、 n チャネル電界効果トランジスタ11と強誘電体キャパシタ12とで構成される。このトランジスタ11のゲート電極は、ワード線17に接続されている。また、トランジスタ11のソース電極は強誘電体キャパシタ12の第1電極に接続されており、ドレイン電極はビット線18に接続されている。また、強誘電体キャパシタ12の第2電極はプレート線19に接続されている。この強誘電体キャパシタ12は、メモリセル10の記憶素子として機能し、その分極方向が、記憶用メモリセル10内に記憶される論理データを決定する。すなわち、強誘電体キャパシタ12の分極方向の違いによって、“1”データと“0”データに対応する2つの異なる電位がビット線18に出力される。

【0024】一方、この実施形態としての基準電圧発生回路3は、 n 個のリファレンスセル3-1, 3-2, ..., 3-

n と基準ビット線8とで構成されている。各リファレンスセル(3-1, 3-2, ..., 3- n)は、1つの n チャネルトランジスタ(1-1, 1-2, ..., 1- n)と1つの強誘電体キャパシタ(2-1, 2-2, ..., 2- n)から構成されている。各トランジスタ1-1, 1-2, ..., 1- n のゲート電極は、それぞれ、基準ワード線7-1, 7-2, ..., 7- n に接続されている。また、各トランジスタ1-1, ..., 1- n のソースは、各強誘電体キャパシタ2-1, ..., 2- n の第2電極に接続され、各トランジスタ1-1, ..., 1- n のドレインは、基準ビット線8に接続されている。また、各強誘電体キャパシタ2-1, ..., 2- n の第1電極は、基準プレート線9に接続されている。

【0025】なお、基準ビット線8の容量は、リファレンスセル3-1, ..., 3- n の個数 n に比例して増加させる。つまり、基準ビット線8の容量を、ビット線18の容量の n 倍にして、 n 個の各リファレンスセルに分配される基準ビット線8の容量が、メモリセル側のビット線18の容量と等しくなるようにすることが好ましい。

【0026】この不揮発性半導体記憶装置では、記憶用メモリセル10からビット線18に出力された電位と、基準電圧発生回路3から基準ビット線8に出力された基準電位とを、センスアンプ30において比較してその差を増幅する。

【0027】ここで、上記構成の基準電圧発生回路3から基準電位を発生させる方法を説明する。

【0028】まず、最初、 n 個のリファレンスセル3-1, ..., 3- j , ..., 3- n のうち、 j 個のリファレンスセル3-1~3- j に、データ“0”が書き込まれ、残りの($n-j$)個のリファレンスセル(3- $j+1$)~(3- n)に、データ“1”が書き込まれているとする。このように、各リファレンスセル3-1~3- n にデータを書き込む方法は、記憶用メモリセル10にデータを書き込む場合と同じであり、公知の技術であるので、簡略に説明する。

【0029】すなわち、 j 番目のリファレンスセル3- j にデータを書き込むには、このリファレンスセル3- j のゲートに接続された基準ワード線7- j および基準プレート線9に、メモリセル選択回路99からパルス印加する。また、書き込み回路88から、データ電圧を、基準ビット線8に加える。このデータ電圧は、データ“1”の時には V_{cc} (電源電圧)であり、データ“0”の時にはGND(接地電位)である。これにより、 j 番目のリファレンスセル3- j が備える強誘電体キャパシタ2- j にデータを書き込む。以下では、単にデータ“1”あるいは“0”を書き込むと記載する。より詳しい書き込み方法は、日本特許2674775、特開平6-223583等に開示されている。

【0030】次に、 n 本の基準ワード線7-1, 7-2, ..., 7- n の全てに、同時に、パルスを印加して、基準電位を発生させる。

【0031】ここでは、 j 個のリファレンスセル(3-1

～3-j)にデータ“0”が書き込まれ、残りの(n-j)個のリファレンスセル(3-j+1～3-n)に、データ“1”が書き込まれている。したがって、各強誘電体キ

$$V=(j \cdot P_0+(n-j) \cdot P_1)/(n \cdot C_B+C_S) \quad \cdots (1)$$

である。ここで、 P_0 および P_1 は、図3に電荷量で示した分極量である。

【0032】すなわち、データ“1”が書き込まれたリファレンスセル(3-j+1～3-n)のキャパシタ(2-j+1～2-n)は、図3のC点の状態からD点の状態になり、分極量 P_1 は、C点の状態とD点の状態との電荷量の差になる。

【0033】一方、データ“0”が書き込まれたリファレンスセル(3-1～3-j)のキャパシタ(2-1～2-j)は、図3のE点の状態からD点の状態になり、分極量 P_0 は、E点の状態とD点の状態との電荷量の差になる。

【0034】また、記憶用メモリセル10の強誘電体キャパシタ12の分極特性が、リファレンスセル3-1～3-nのキャパシタ2-1～2-nと等しければ、メモリセル10にデータ“0”が書き込まれた場合に、ビット線18に読み出される電圧 V_0 は、次の(2)式で表される。また、メモリセル10にデータ“1”が書き込まれた場合に、ビット線18に読み出される電圧 V_1 は、次の(3)式で表される。

【0035】

$$C_B \cdot V_0 = P_0 \quad \cdots (2)$$

$$C_B \cdot V_1 = P_1 \quad \cdots (3)$$

この(2),(3)式の関係を、(1)式に適用し、かつ、(1)式において、 C_B (ビット線18の容量)>> C_S (強誘電体キャパシタ2-1～2-nの容量)とすると、基準ビット線8に発生する電圧 V は、次の(4)式で表される。

【0036】

$$V=(j \cdot V_0+(n-j) \cdot V_1)/n \quad \cdots (4)$$

例えば、リファレンスセルの個数 $n=10$ とした場合、各リファレンスセル3-1～3-nの強誘電体キャパシタ2-1～2-nの分極特性が等しく、上記 $j=5$ とすると、基準ビット線8に発生する電圧 V は、(4)式に、 $n=10$ 、 $j=5$ を代入して求め、

$$V=(V_0+V_1)/2 \quad \cdots (5)$$

となる。この電圧 V は、メモリセル10からビット線18に読み出されるデータ“0”およびデータ“1”の電圧の平均に等しいから、基準電圧としては最適である。

【0037】なお、上記では、各強誘電体キャパシタ2-1～2-nおよび12の特性が等しいと仮定したが、それぞれの強誘電体キャパシタ2-1～2-n、12の分極特性や他のパラメータが互いにばらつくと、基準ビット線8に発生する電圧 V は、(5)式で得られる値 $(V_0+V_1)/2$ からずれる。

【0038】このような場合、この実施形態の基準電圧発生回路3では、 n 個のリファレンスセル3-1～3-nのうち、データ“0”が書き込まれるリファレンスセル

キャパシタ2-1～2-nの容量を C_S とし、ビット線18の容量を C_B とし、基準ビット線8の容量を $n \cdot C_B$ とすると、基準ビット線8に発生する電圧 V は、

の個数 j の値を変更することで、基準ビット線8に発生する電圧 V を最適値に調整できる。また、上記設定された個数 j の値において、その j 個のリファレンスセルの組み合わせを変更することでも、基準ビット線8に発生させる基準電圧を最適値に調整できる。

【0039】つまり、この実施形態によれば、強誘電体キャパシタの面積、容量絶縁膜の厚さなど寸法上のばらつき、および分極特性(ヒステリシス)上のばらつき、あるいはビット線18および基準ビット線8の寄生容量のばらつきに対処でき、正確な基準電位を発生する基準電圧発生回路3となる。したがって、この基準電圧発生回路3を内蔵した半導体メモリ装置によれば、読み出したデータが“1”、“0”のいずれであるのかを正確な基準電位によって判定するでき、常に正しいデータを出力できる。

【0040】さらに、この実施形態によれば、上記個数 j の値を変更することで、複数の異なる基準電圧 V を基準ビット線8に発生させることができるから、この複数の基準電圧 V を切り替えることで、意図的に読み出しマージンを悪化させて、メモリセルのマージンテストを行ったり、1つのメモリセルに多値を記憶させた場合の基準電圧も発生できる。

【0041】例えば、ウエハテスト段階で、 j 個のリファレンスセル3-1～3-jにデータ“0”を書き込み、残りの(n-j)個のリファレンスセル(3-j+1～3-n)にデータ“1”を書き込んだ後、メモリセル10をテストする。さらに、データ“0”を書き込む j 個のリファレンスセルの組み合わせを変えることによって、メモリセル10をテストする。そして、今度は、 j の値を変更して、メモリセルをテストする。このようにしたメモリテストの結果、 j の値および j 個のリファレンスセルの組み合わせを、最も不良率の少ない組み合わせに設定する。また、製品として出荷された後でも、テストモードにおいて、上記と同じ処理を実行することによって、 j の値を最適値に調整することもできる。

【0042】さらに、 j の値を変えることによって、基準電圧を変化させて、出荷前のテストを実行することで、メモリセルの読み出しが可能な基準電圧範囲が狭くてマージンが少ないメモリセルを予めリジェクトすることもできる。この場合、リジェクトする判定基準は、予め設定した不良率となるように、 j の値を調整することや、 j 個のリファレンスセルの組み合わせを変更することで設定することができる。

【0043】

【発明の効果】以上より明らかなように、この基準電圧発生回路は、1つの強誘電体キャパシタと1つのスイッ

チ手段からなる基準電圧発生用リファレンスメモリセルが、同一の基準ビット線に複数個接続され、複数個のリファレンスメモリセルのうち、第1の論理データを書き込むリファレンスセルと第2の論理データを書き込むリファレンスセルとを選択できる。したがって、記憶用メモリセルに応じた最適な基準電圧を発生できる。

【0044】また、一実施形態の基準電圧発生回路は、上記第1の論理データが書き込まれるリファレンスメモリセルの個数を変更することで、基準ビット線に発生させる基準電圧を変更することができる。したがって、記憶用メモリセルに応じた最適な基準電圧を発生できる。また、基準電圧を変更することで、各種メモリセルテストや多値記憶メモリセルに対応した基準電圧発生回路とすることができる。

【0045】また、他の実施形態の基準電圧発生回路は、第1の論理データを書き込むリファレンスメモリセルと第2の論理データを書き込むリファレンスセルとの組み合わせを変更することによって、上記基準電圧を変更でき、基準電圧の最適化を図れる。

【0046】また、一実施形態の基準電圧発生回路は、同一の基準ビット線に複数個接続された複数個のリファレンスメモリセルのうち、所定個数のリファレンスメモリセルを選択するリファレンスメモリセル選択回路と、上記リファレンスメモリセル選択回路が選択した所定のリファレンスメモリセルに第1もしくは第2の論理データを印加する電圧発生回路とを備える。

【0047】この実施形態によれば、リファレンスメモリセル選択回路と電圧発生回路とによって、複数個のリファレンスメモリセルのうち、第1の論理データを書き

込むリファレンスセルと第2の論理データを書き込むリファレンスセルとを選択できる。したがって、記憶用メモリセルに応じた最適な基準電圧を発生できる。

【0048】より詳しくは、上記実施形態によれば、ウェアハートテスト段階で、データ“0”を書き込むリファレンスセルの個数あるいは組み合わせを変えることによって、基準電位を微調整できる。また、製品として出荷された後でも、テストモードにおいて、基準電位を微調整することができる。また、出荷前のテストにおいて、データ“0”を書き込むリファレンスセルの個数あるいは組み合わせを変えることによって、基準電圧を変化させることができるから、メモリセルの読み出しが可能な基準電圧範囲が狭く、マージンの少ないメモリセルを予めリジェクトすることもできる。

【図面の簡単な説明】

【図1】 本発明の基準電圧発生回路の実施形態を有する強誘電体メモリの回路図である。

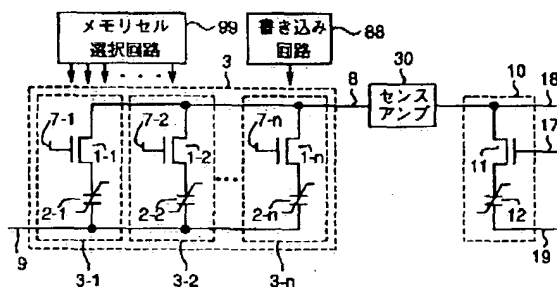
【図2】 従来の強誘電体メモリの回路図である。

【図3】 強誘電体キャパシタのヒステリシス特性を示す図である。

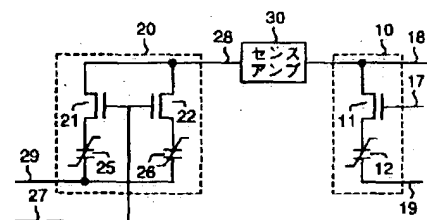
【符号の説明】

1-1~1-n...nチャネル電界効果トランジスタ、2-1~2-n...強誘電体キャパシタ、3-1~3-n...リファレンスセル、3...基準電圧発生回路、7-1~7-n...基準ワード線、8...基準ビット線、9...基準プレート線、10...記憶用メモリセル、11...nチャネル電界効果トランジスタ、12...強誘電体キャパシタ、17...ワード線、18...ビット線、19...プレート線。

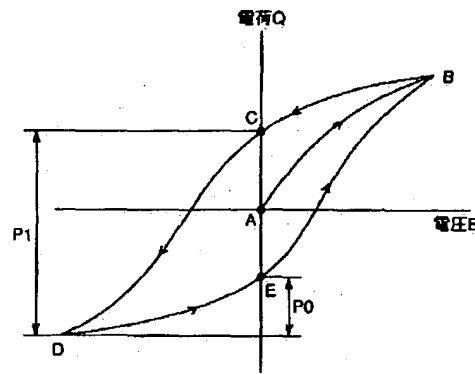
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 前田 賢吾

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5B024 AA03 BA01 BA27 CA07